

昉·天枢-90 CPU IP

昉·天枢是一款支持丰富的RISC-V扩展，使能边缘、云计算和高性能计算应用的商业级64位RISC-V CPU IP。



简介

昉·天枢-90 是可交付性能最高的商业级国产 RISC-V CPU Core IP, 采用 11+ 级流水线、五发射、超标量、深度乱序执行等设计, 支持标准 RISC-V RV64GCBH 扩展, 同时还针对性能和频率做了深度的优化, SPECint2006 可达 9.4/GHz。昉·天枢-90 经过预集成及验证, 提供具备内存一致性的集群内单核、双核及四核的配置选择, 简化了SoC 开发工作, 可广泛用于数据中心、PC、移动设备、高性能网络通讯、机器学习等高性能计算场景、设备。



ISA扩展支持

RISC-V 64位基本整数指令集	2.1
M (标准整数乘法和除法扩展)	2.0
A (标准原子指令扩展)	2.1
F (标准单精度浮点扩展)	2.2
D (标准双精度浮点扩展)	2.2
C (标准压缩指令扩展)	2.0
B (标准位操作扩展)	1.0
特权规范 (Privilege)	1.12
H (Hypervisor)	0.6.1
Debug	0.13
Trace	1.0

Dubhe-90

Debug, PLIC & CLINT

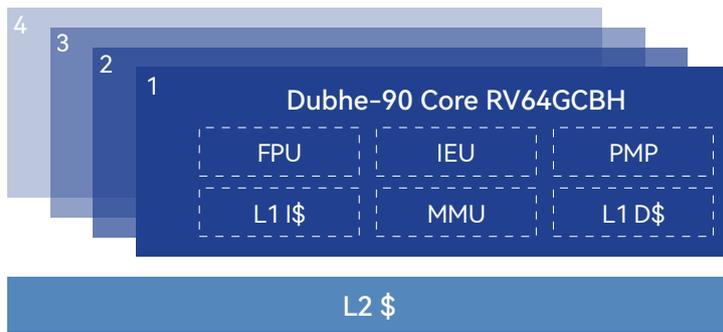
Debug Module

PLIC

CLINT

IOPMP

Dubhe-90 Cluster



TileLink/AXI/ACE/CHI



设计规格

- SPECint2006: 9.4/GHz
- Dhrystone: 6.5/MHz (Legal)
- 支持虚拟化 Hypervisor (H) 扩展指令
- 11+ 级流水线、五发射
- 超标量、深度乱序执行
- 支持多核缓存一致性



边缘/云数据中心

- 边缘云计算
- 智能网卡及数据处理单元
- 企业级计算存储
- 基板管理控制器



通信/网络

- 5G架构和基站
- 无线访问接入点
- 企业交换机及防火墙/下一代防火墙
- 车联网 (V2X) 通讯



人工智能/机器学习

- 自动驾驶/高级驾驶
- 车载信息娱乐/HUD
- 机器人/无人机/工业控制
- 计算机视觉/AR/VR/MR

功能列表



取指单元 (IFU)

- 采用取指令与分支预测解耦的架构
- 取指宽度: 16 Byte/Cycle
- 针对返回指令的RAS预测器
- 针对间接跳转指令的IJTP预测器
- 针对条件分支指令的TAGE-Style预测器



主干单元 (TKU)

- 5-Way Decode/Rename/Commit
- ROB Entries: 160
- 整数物理寄存器个数: 160
- 浮点物理寄存器个数: 160



整数执行单元 (IEU)

- 2条独立的Full ALU单元
- 1条复用MDU资源的Full ALU单元
- 1条独立的分支执行单元



浮点单元 (FPU)

支持符合IEEE 754-2008浮点标准的32位单精度和64位双精度算术



内存管理单元 (MMU)

- 支持RISC-V特权规范定义的Bare、Sv39、Sv48模式
- 32-Entry ITLB全相联 (Fully-Associative)
- 48-Entry DTLB全相联
- 1280-Entry 5路组相联 (Set Associative) STLB



内存子系统

- L1指令缓存
 - 可配置的组相联指令缓存
 - 默认64 KB、4路组相联
 - 支持指令预取
 - 可配置奇偶校验
- L1数据缓存
 - 默认64 KB、4路组相联
 - 2个Load/Store流水线
 - 缓存写入策略: 回写 (Write Back)
 - 乱序处理, 非阻塞缓存设计
 - 支持自定义CMO指令
 - 可配置ECC
- L2缓存
 - 默认2 MB、8路组相联
 - 支持L2缓存Prefetch
 - MESI一致性
 - 缓存写入策略: 回写 (Write Back)
 - 由多个核于Cluster级别上共享
 - 可配置ECC



PMP & PMA

- PMP支持16个区域, 最小区域大小为4,096字节
- 固定的PMA



IOPMP

- 可检查由不同的主设备发起的访问请求权限
- 可记录发起无效内存访问请求的主设备来源
- 支持最多64个主设备来源(SRCID)
- 支持16个内存访问区域(Memory Domain)的地址及权限配置



硬件性能监视器 (HPM)

- 支持符合RISC-V标准的硬件性能监视器
- 协助微架构级别的分析核性能调试



电源管理

- 内核级别的等待 (Wait For Interrupt) 机制
- 内核级别和Cluster级别的时钟门控
- 内核级别和Cluster级别的低功耗状态 (Power ON/OFF/Retention)
- Cluster级别的动态频率调节



DEBUG

支持符合RISC-V Debug规格的标准Debug模块



平台级中断控制器 (PLIC)

- PLIC中断:1024个可配置中断信号,可与内核子
- 系统外部设备相连
- PLIC优先级等级:PLIC模块支持8个优先级等级



核局部中断控制器 (CLINT)

最多可支持32组中断目标或Hart



TRACE

支持符合RISC-V Trace标准的Trace模块接口



配套软件支持

- 裸机SDK
 - 编译器与工具链,包括基于GCC与LLVM框架的包
 - GDB调试器与预编译OpenOCD
 - FreeRTOS
 - 示例项目
- Linux SDK
 - 基于Yocto的环境
 - Kernel 6.1
 - 主机开发工具
 - 基于目标的QSPI镜像
 - OpenSBI
 - KVM
 - Xvisor
 - Eclipse IDE
- 27个示例项目
- StarFive StarStudio
 - 为客户提供独立且预编译的IDE

关于 RISC-V

RISC-V指令集架构 (ISA) 于2010年在加州大学伯克利分校诞生,并于2013年开源,是精简指令集 (RISC) 系列的第五代产品,具有简洁、开放、模块化、可扩展等优势。截至2022年, RISC-V国际协会拥有来自70个国家的3180名会员,包括芯片设计厂商、芯片设计服务商、系统集成商、软件服务商,科研机构和投资机构等。RISC-V已在物联网设备中应用广泛,并开始渗透到高端应用场景,如服务器、通信、AI、自动驾驶、VR、办公设备等。据Semico Research最新预测,到2025年,全球RISC-V CPU内核的出货量累计将达到约800亿颗。

关于赛昉科技

赛昉科技 (StarFive) 成立于2018年,是一家具有自主知识产权的本土高科技企业,提供全球领先的基于RISC-V指令集的CPU IP、SoC、开发板等系列产品 and 解决方案,是中国RISC-V软硬件生态的领导者。

成立至今,赛昉科技已相继推出了多款基于RISC-V的产品:

- 昉·天枢系列产品:可交付性能最高的商业级国产RISC-V CPU Core IP昉·天枢-90 (Dubhe-90) 和高能效RISC-V CPU Core IP昉·天枢-80 (Dubhe-80)
- 昉·星链系列产品:赛昉科技首款自研的Interconnect Fabric IP昉·星链-500 (StarLink-500)
- 昉·惊鸿系列产品:全球首款量产的高性能多媒体处理器昉·惊鸿-7110 (JH-7110/JH7110)
- 昉·星光系列产品:全球首款量产的集成3D GPU的单板计算机昉·星光 2 (VisionFive 2)

这些产品覆盖了云电脑、平板电脑、台式/笔记本电脑、网关路由、边缘计算、工业显示、智慧家庭、智慧零售、智慧能源等设备、场景和行业。

赛昉科技扎根中国,放眼世界,矢志于成为全球RISC-V技术和生态的推动者和领导者。未来,赛昉科技将继续加强与供应商、分销商、软件开发商、解决方案服务商、开源社区、科研机构、高校等伙伴的全方位合作,通过引领RISC-V技术的发展,驱动产业创新,进而使得 RISC-V 进入更多高性能应用领域,为全球开发者及客户创造更大的价值。

技术文档: <https://doc.rvspace.org/>
<https://doc-en.rvspace.org/>
交流社区: <https://rvspace.org/>
公司官网: <https://www.starfivetech.com/>
销售联系: sales@starfivetech.com
021-50478300
其他联系: marketing@starfivetech.com



微信公众号